**电子设计自动化（EDA）实验报告**

实验题号 :实验六

项目名称 : 十二进制计数器的设计

系班 :计算机科学与技术非师范班

学号 : 1191002005

姓名 : 陈馨

实验日期 : 2021-10-15

指导老师 ：邱德慧

**一、实验目的**

1、掌握简单计数器的设计方法。

2、了解分频电路的原理和设计方法。

3、学习在QUARTUS II 中使用 Verilog 生成的功能模块打包生成 QUARTUS II 原理图 的符号库，以便在使用原理图时调用该库。

**二、实验内容**

设计一个具有异步复位（rst），同步使能（en）功能的十二进制计数器，计数结果显示在DP8 数码管上，进位标志在led8 灯显示。

具体设计要求：

1）以1HZ为计数脉冲，计数值显示在数码管DP8 上，进位标志位led8。

2）rst：0 有效，使用开关sw1。复位时（0），计数器值、进位标志清零。en：1 有效，使用开关sw2。有效时，计数器工作；

**三、实验报告**

（一）divi\_2hz.v

2hz的分频器：0.5秒数字变换一次

主时钟：50Mhz

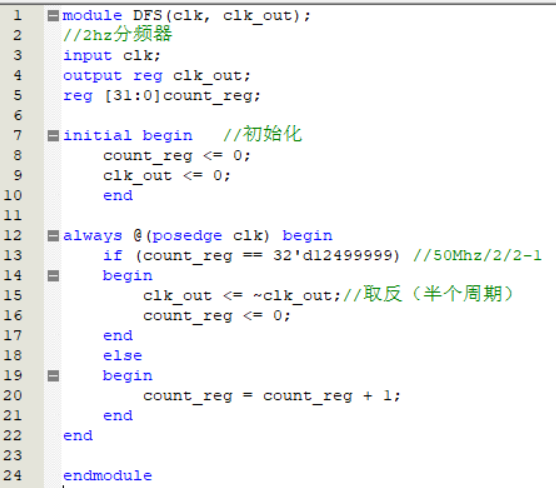
换算：1Mhz=10^6hz 🡺 50Mhz=50×10^6hz

2hz 🡺 50Mhz/2/2-1=12499999 🡺

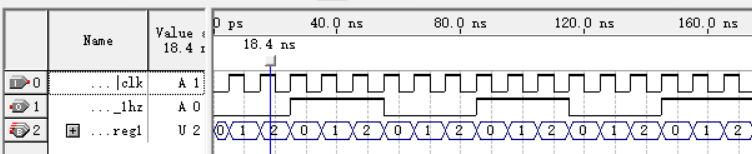
当主时钟经过12499999个周期时跳变一次

同理：1hz：50Mhz/2-1=24999999跳变一次

代码：



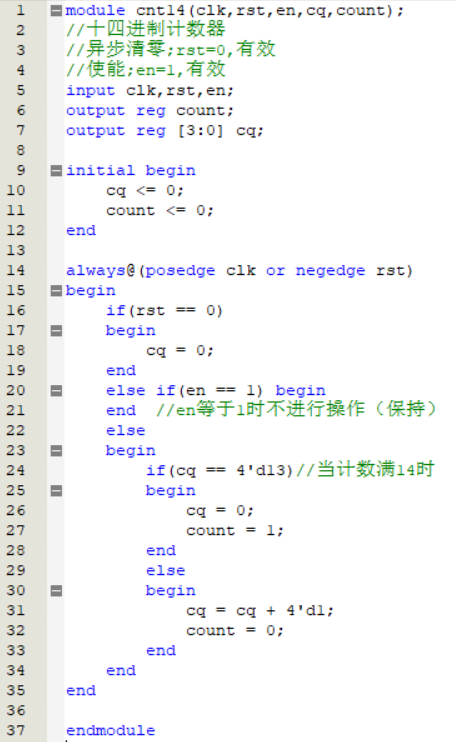
六分频仿真波形（若用2hz仿真时间过长）



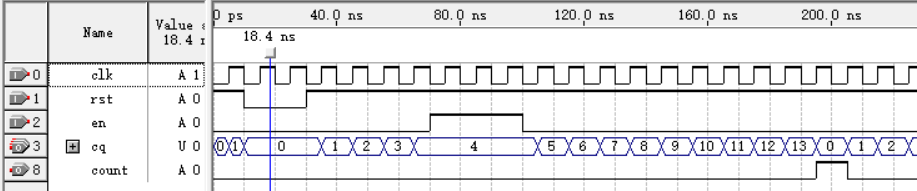
（二）cnt14.v

十四进制计数器

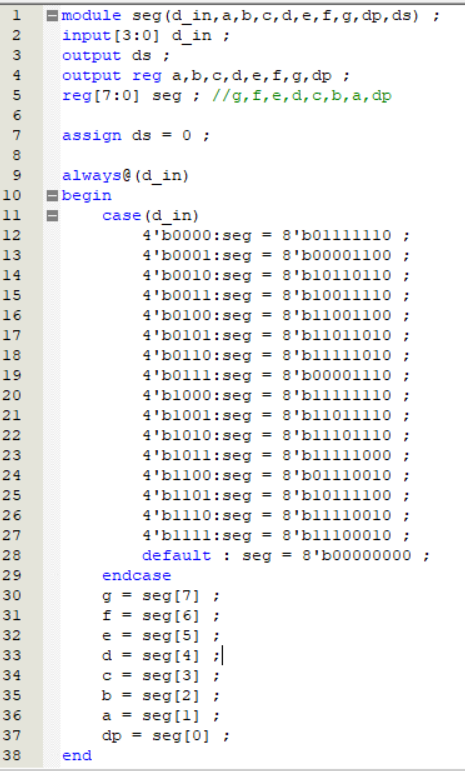
代码：



功能仿真：

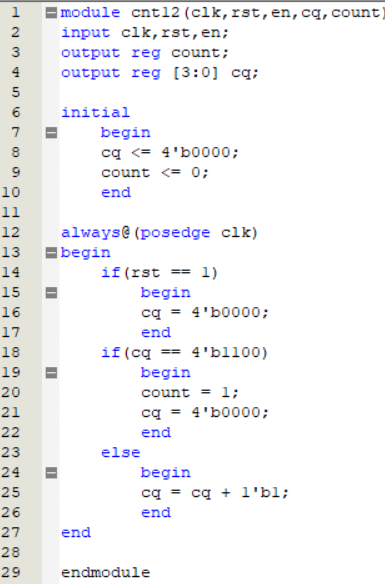


3.seg.v



（和上次实验仿真一致）

4.cnt12b.v



5.模块化实现cnt14b.bdf

****

**四、实验结果**

（未拍照）

**五、实验扩展**

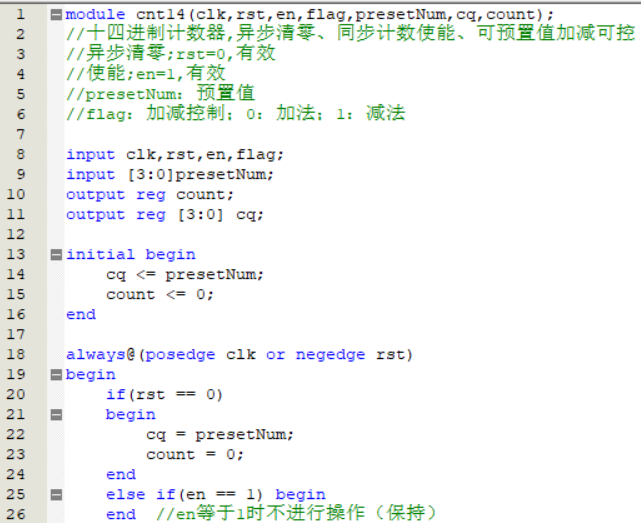
1.改变分频比

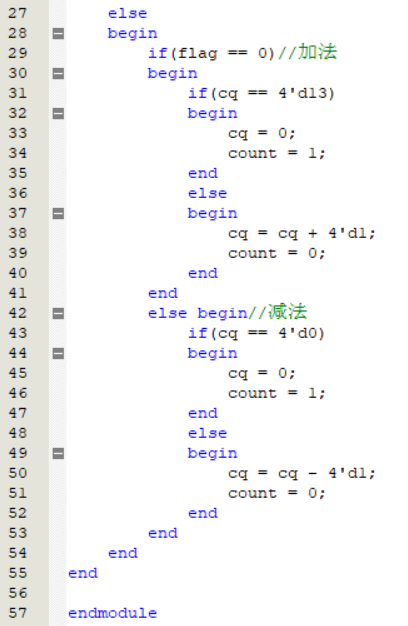
（改变计数即可，不再赘述）

2. 异步清零、同步计数使能、可预置值加减可控

在计数模块cnt14中添加：

1. 预制数presetNum；2、加减标志flag





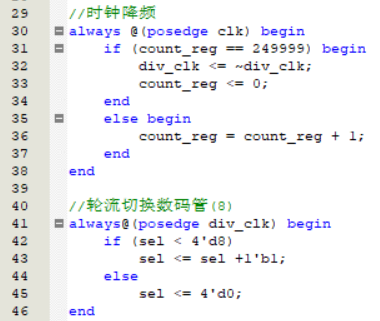
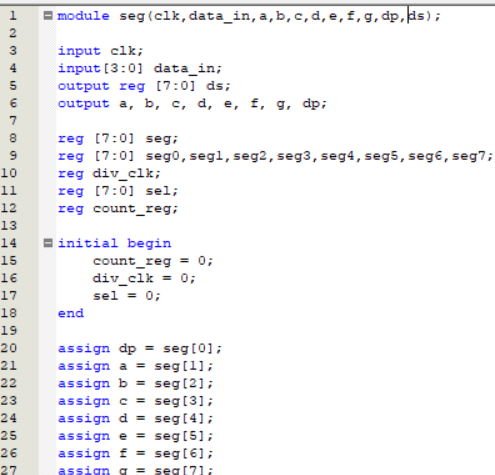
3. 结果以十进制的方式显示在两个数码管上

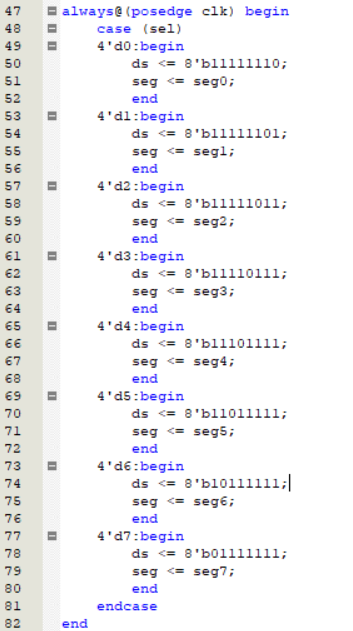
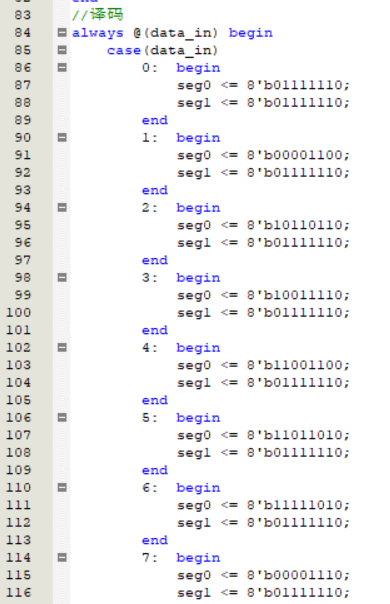
实现：在seg中添加

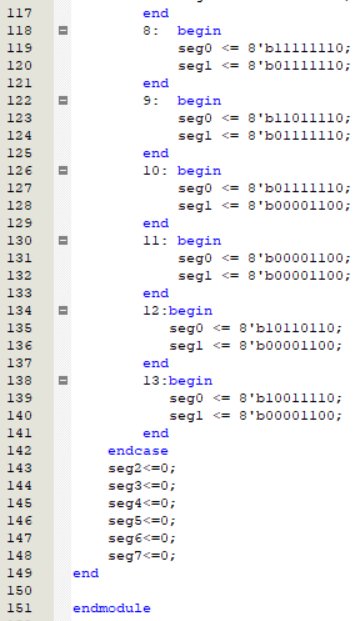
1. 降频时钟divi\_clk；
2. 切换信号计数寄存器cnt
3. 位选信号sel；
4. seg0—seg7储存数据

将二进制转十六进制译码修改为转十进制译码

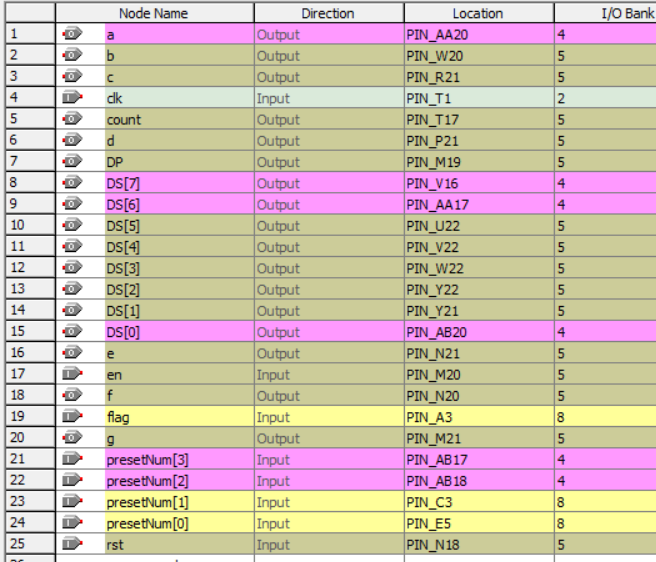
代码

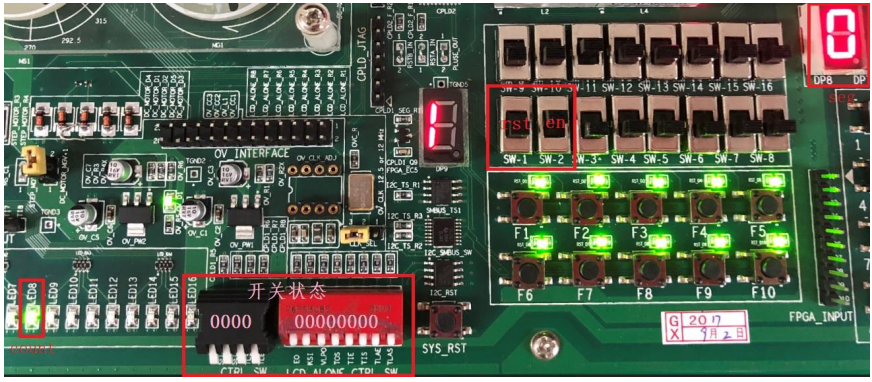




**六、引脚绑定**





**seg**

**count**

**rst en**

**flag**

**presetNum**

**七、顶层文件**



**八、拓展实验结果**





